

## [ 실험 2. MOSFET 특성 ]

### 1. 실험 목적

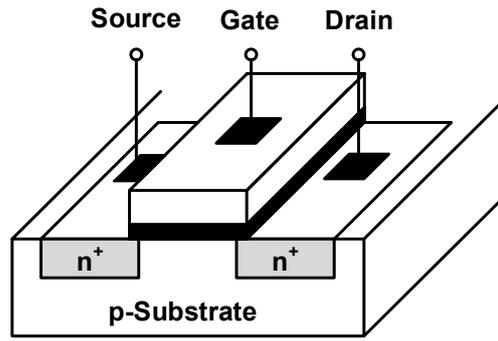
- (1) 금속-산화물-반도체 전계효과 트랜지스터(MOSFET: Metal Oxide Semiconductor Field Effect Transistor)는 게이트(Gate), 소스(Source), 드레인(Drain), 바디(Body) 4개의 단자로 구성된 반도체 소자이다. MOSFET의 드레인 전류( $I_D$ )는 게이트-소스 전압( $V_{GS}$ )과 드레인-소스 전압( $V_{DS}$ )에 따라 변하는 특성이 있다. MOSFET의 동작 모드 및 전류-전압 특성을 이해하고 측정한다.

### 2. 이론

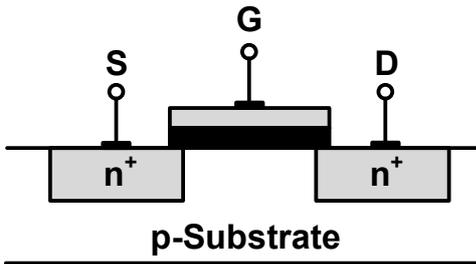
#### 2.1 MOSFET의 특성

MOSFET은 금속-산화물-반도체(Metal Oxide Semiconductor) 구조에 전계효과(Field Effect)를 이용하여 전류의 흐름을 제어하는 트랜지스터(Transistor)이다. <그림 2.1>은 게이트(Gate), 소스(Source), 드레인(Drain), 바디(Body)로 이루어진 MOSFET의 구조, 단면도, 기호를 보여준다. <그림 2.1>과 같이 p형 반도체 기판(Substrate) 위에 n형 반도체인 소스와 드레인으로 구성된 MOSFET을 NMOS(n-type MOSFET)라 한다.

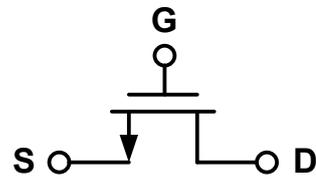
<그림 2.2>는 게이트-소스 전압( $V_{GS}$ )에 따른 NMOS 동작을 보여준다. 게이트-소스 전압( $V_{GS}$ )을 문턱전압(Threshold Voltage:  $V_{TH}$ ) 보다 작은 전압까지 증가시키면( $0 < V_{GS} < V_{TH}$ ), p형 반도체 기판 내의 홀(Hole)들이 밀려나서 공핍영역(Depletion Region)이 형성되어 드레인-소스 간에 전자가 이동하지 못하고 NMOS는 꺼져 있는 상태이다. 하지만, 게이트-소스 전압( $V_{GS}$ )을 문턱전압( $V_{TH}$ ) 보다 높게 증가시키면( $V_{GS} > V_{TH}$ ), 산화물(Oxide)과 기판(Substrate) 사이에 전자들이 모이면서 드레인과 소스 사이에 채널(Channel)이 형성되어 드레인-소스 간에 전자의 이동이 가능해져 NMOS는 켜져 있는 상태가 된다.



(a)

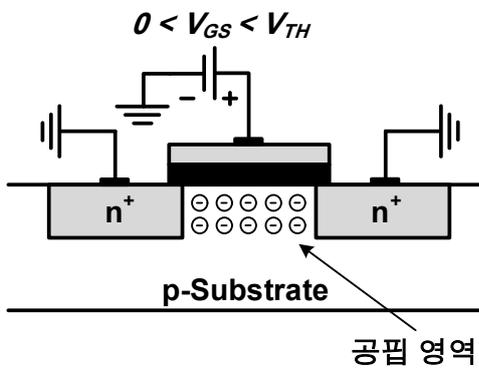


(b)

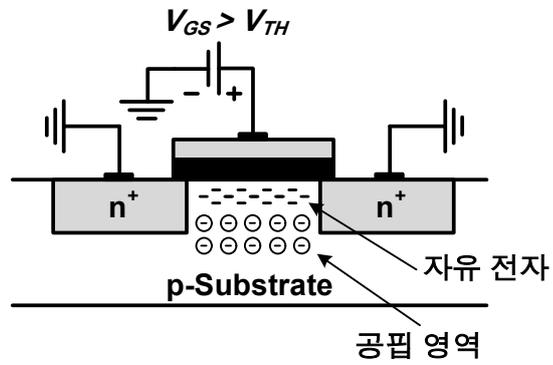


(c)

<그림 2.1> NMOS (a) 구조 (b) 단면도 (c) 기호



(a)



(b)

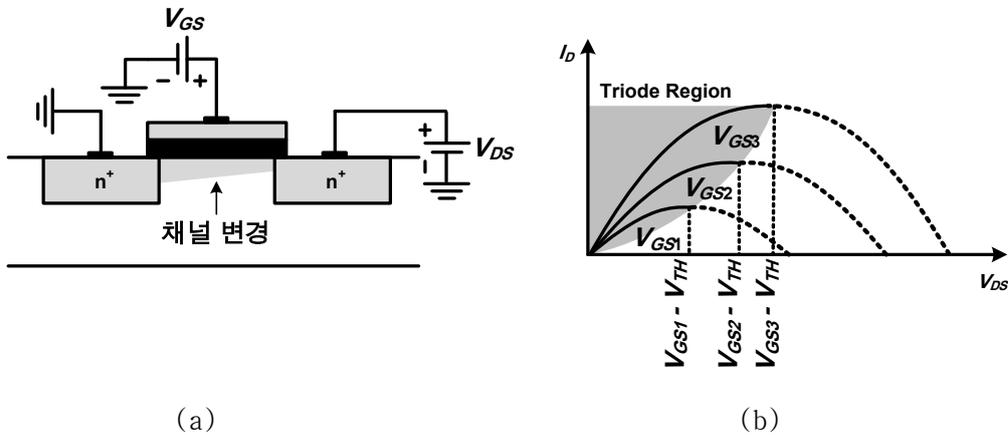
<그림 2.2> 게이트-소스 전압 ( $V_{GS}$ )에 따른 NMOS 동작

(a) 공핍영역 형성 ( $0 < V_{GS} < V_{TH}$ ) (b) 채널 형성 ( $V_{GS} > V_{TH}$ )

<그림 2.3>는 트라이오드(Triode) 영역에서 동작하는 NMOS의 단면도와 전류-전압 특성을 보여준다. 게이트 전압( $V_G$ )을 고정시키고 드레인 전압( $V_D$ )을 증가시키면, 소스에서 드레인으로 전자가 이동하여 드레인 전류( $I_D$ )가 드레인에서 소스 쪽으로 흐른다. 드레인-소스 전압( $V_{DS}$ )이 게이트-소스 전압( $V_{GS}$ )과 문턱전압( $V_{TH}$ )의 차보다 작을 때( $V_{DS} < V_{GS} - V_{TH}$ ),  $I_D$ 는 식(2.1)과 같다.

$$I_D = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} [(V_{GS} - V_{TH}) V_{DS} - \frac{1}{2} V_{DS}^2] \quad (2.1)$$

여기서  $\mu_n$ 은 전자의 채널이동도,  $C_{ox}$ 는 게이트-산화막 커패시턴스이다.  $I_D$ 는  $V_{DS} = V_{GS} - V_{TH}$ 에서 최대이고  $V_{GS}$ 에 비례하여 증가한다.



(a) 단면도 (b)  $I_D - V_{DS}$  특성  
 <그림 2.3> 트라이오드 영역( $V_{DS} < V_{GS} - V_{TH}$ )에서 동작하는 NMOS

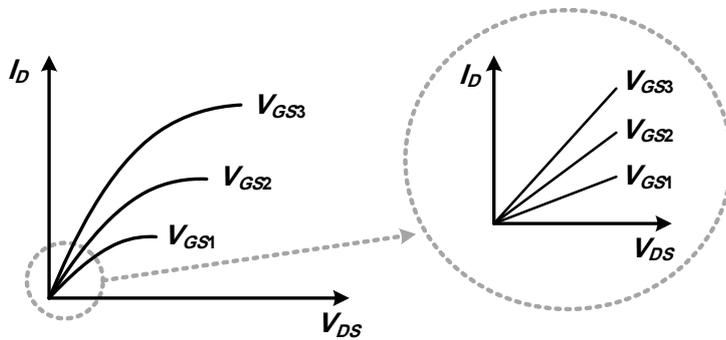
식(2.1)에서  $I_D$ 와  $V_{DS}$ 는 포물선 함수로 비선형적이다. 그러나, <그림 2.4>와 같이  $V_{DS}$ 가  $V_{GS} - V_{TH}$  보다 매우 작은 경우, 식(2.1)은 식(2.2)와 같이  $I_D$ 와  $V_{DS}$ 는 직선으로 근사화 되고, 식(2.3)과 같이 등가 온-저항(Turn-on Resistor:  $R_{on}$ )으로 유도 된다.

$$I_D = \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH}) V_{DS} \quad (2.2)$$

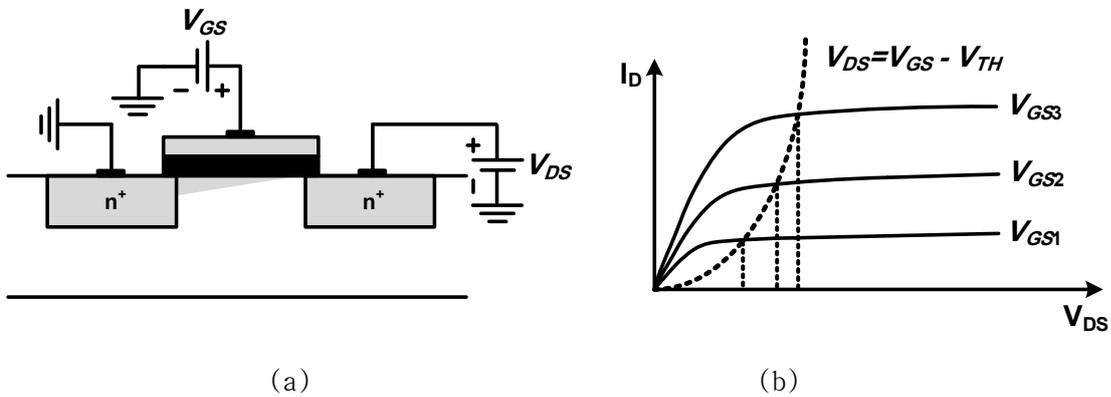
$$R_{on} = \frac{V_{DS}}{I_D} = \frac{1}{\mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH})} \quad (2.3)$$

<그림 2.5>는 포화(Saturation) 영역에서 동작하는 NMOS의 단면도와 전류-전압 특성을 보여준다.  $V_{DS}$ 가  $V_{GS} - V_{TH}$  보다 커지면 ( $V_{DS} > V_{GS} - V_{TH}$ ), 드레인 쪽의 채널이 끊어지는 핀치오프(Pinch-off) 현상이 발생하여,  $I_D$ 는  $V_{DS}$ 에 영향을 받지 않게 된다.  $I_D$ 는 식(2.4)와 같다.

$$I_D = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH})^2 \quad (2.4)$$

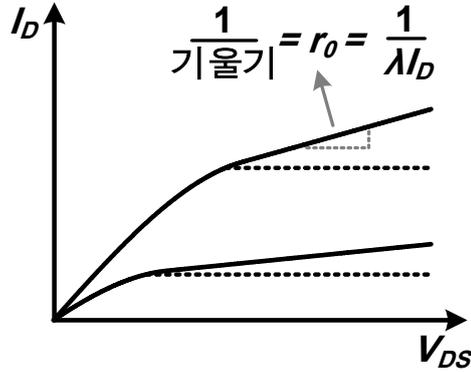


<그림 2.4>  $V_{DS}$ 가 매우 작은 경우의  $I_D - V_{DS}$  특성 ( $V_{DS} \ll 2(V_{GS} - V_{TH})$ )



<그림 2.5> 포화영역 ( $V_{DS} > V_{GS} - V_{TH}$ )에서 동작하는 NMOS  
(a) 단면도 (b)  $I_D - V_{DS}$  특성

포화영역에서  $V_{DS}$ 가 증가함에 따라 채널의 길이가 조금씩 감소하는 현상을 채널길이 변조(Channel-Length Modulation)라고 부른다. <그림 2.6>과 같이,  $V_{DS}$ 가 증가함에 따라  $I_D$ 가 조금씩 증가한다. 따라서, 포화영역에서의  $I_D$ 는 식(2.4)에서 식(2.5)으로 바뀐다.



<그림 2.6> 채널길이 변조에 따른  $I_D - V_{DS}$  특성

$$I_D = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH})^2 (1 + \lambda V_{DS}) \quad (2.5)$$

여기서,  $\lambda$ 는 채널길이 변조계수이다. 식(2.5)로부터 NMOS의 출력저항(Output Resistor:  $r_o$ )은 식(2.6)과 같이 유도된다.

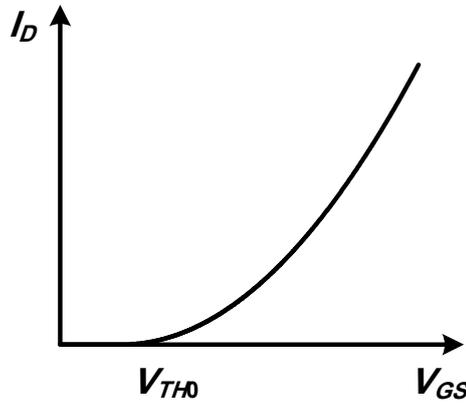
$$r_o = \frac{\partial V_{DS}}{\partial I_D} = \frac{1}{\lambda I_D} \quad (2.6)$$

제조 공정 기술에 따라 채널이동도( $\mu_n$ )와 산화물 커패시턴스( $C_{ox}$ )가 변하기 때문에, 회로 설계를 위해서 NMOS와 PMOS의 공정 트랜스컨덕턴스 파라미터( $k_n$ 와  $k_p$ )를 제공하는데,  $k_n$ 은 식(2.5)로부터 식(2.7)과 같이 유도된다.

$$k_n = \mu_n C_{ox} = \frac{I_D}{\frac{1}{2} \frac{W}{L} (V_{GS} - V_{TH})^2 (1 + \lambda V_{DS})} \quad (2.7)$$

<그림 2.7>은 포화영역에서의  $I_D - V_{GS}$  특성을 보여준다.  $I_D$ 는 식(2.4)와 같이  $V_{GS}$ 의 제곱으로 증가한다. <표 2.1>에는 NMOS의 동작영역에 따른 전류-전압 특성을 정리하였다.

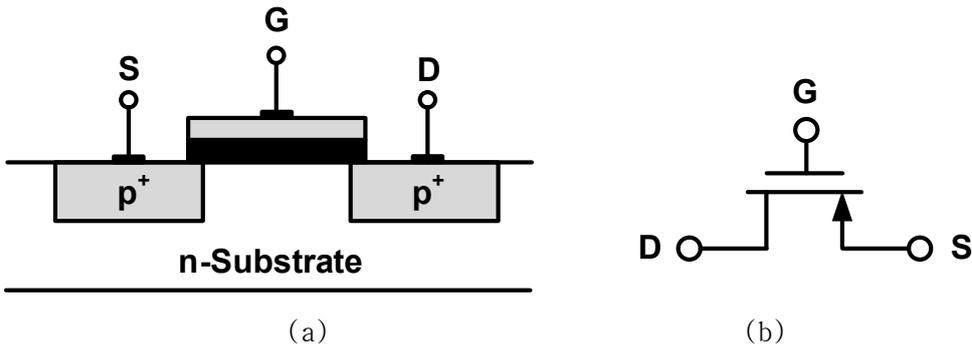
<그림 2.8>과 같이, n형 반도체 기판에 p형 반도체인 소스와 드레인으로 구성된 MOSFET을 PMOS(p-type MOSFET)라 한다. PMOS가 켜지기 위해서는 홀이 모여 채널을 형성해야 하므로,  $V_{GS} < V_{TH} < 0$  조건에서 소스와 드레인 사이에서 전류가 흐르게 된다. 이때,  $V_{GS}$ 와  $V_{TH}$ 는 음의 값을 가진다. PMOS의 동작영역을 쉽게 이해하기 위하여, 게이트-소스 전압( $V_{GS}$ ) 대신 소스-게이트 전압( $V_{SG}$ )을 사용하고 문턱전압에 절대 값( $|V_{TH}|$ )을 사용하여 두 전압을 모두 양의 값으로 바꾼다. 즉,  $V_{SG} > |V_{TH}|$  조건이면 PMOS가 켜지게 된다. <표 2.2>에는 PMOS의 동작영역에 따른 전류-전압 특성을 정리하였다.



<그림 2.7> 포화영역에서 NMOS의  $I_D - V_{GS}$  특성

<표 2.1> NMOS의 동작영역에 따른 전류-전압 특성

동작 영역	조건	드레인 전류
차단 (Cut Off)	$V_{GS} < V_{TH}$	$I_D = 0$
트라이오드 (Triode)	$V_{DS} < V_{GS} - V_{TH}$	$I_D = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} [(V_{GS} - V_{TH}) V_{DS} - \frac{1}{2} V_{DS}^2]$
포화 (Saturation)	$V_{DS} \geq V_{GS} - V_{TH}$	$I_D = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH})^2 (1 + \lambda V_{DS})$



<그림 2.8> PMOS (a) 단면도 (b)기호

<표 2.2> PMOS의 동작영역에 따른 전류-전압 특성

동작 영역	조건	드레인 전류
차단 (Cut Off)	$V_{SG} <  V_{TH} $	$I_D = 0$
트라이오드 (Triode)	$V_{SD} < V_{SG} -  V_{TH} $	$I_D = \frac{1}{2} \mu_p C_{ox} \frac{W}{L} [(V_{SG} -  V_{TH} ) V_{SD} - \frac{1}{2} V_{SD}^2]$
포화 (Saturation)	$V_{SD} \geq V_{SG} -  V_{TH} $	$I_D = \frac{1}{2} \mu_p C_{ox} \frac{W}{L} (V_{SG} -  V_{TH} )^2 (1 + \lambda V_{SD})$

## 2.2 MOSFET 전류-전압 특성 측정 방법

### (1) 전압계와 전류계를 이용한 전류-전압 특성 측정

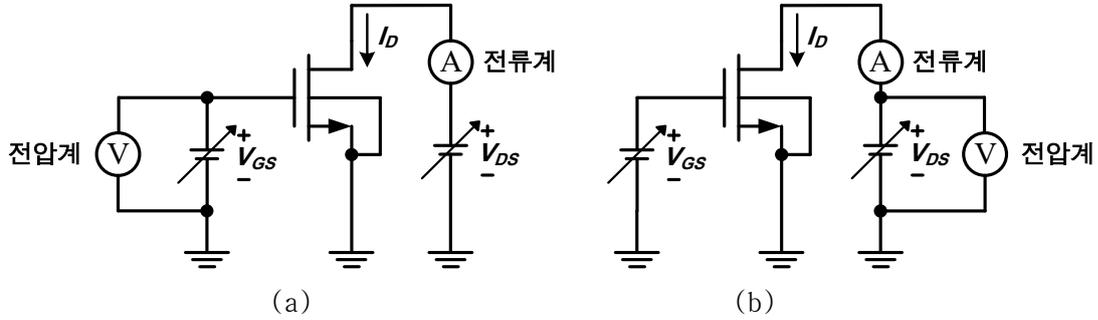
<그림 2.9>는 NMOS 전류-전압 특성 측정 회로이다. 게이트-소스 전압( $V_{GS}$ )과 드레인-소스 전압( $V_{DS}$ )은 전압계로 측정하고, 드레인 전류( $I_D$ )는 전류계로 측정한다.

#### ■ $I_D - V_{GS}$ 그래프 그리기

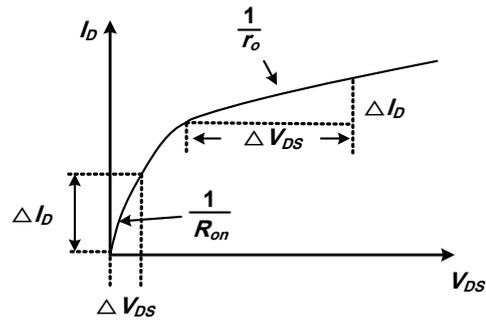
$V_{DS}$ 를 고정한 후  $V_{GS}$ 를 0에서부터 증가시키면서  $I_D$ 를 측정한다. 측정된 값을 이용하여  $I_D - V_{GS}$  그래프를 그린다.

#### ■ $I_D - V_{DS}$ 그래프 그리기

$V_{GS}$ 을 고정한 후  $V_{DS}$ 를 0V에서부터 증가시키면서  $I_D$ 를 측정한다. 트라이오드와 포화 영역 사이에서,  $V_{DS}$ 를 조금씩 증가시키면서  $I_D$ 를 측정한다. 측정된 값을 이용하여  $I_D - V_{DS}$  그래프를 그린다. <그림 2.10>과 같이 등가 온-저항( $R_{on}$ )과 출력저항( $r_o$ )를 구할 수 있다.



<그림 2.9> NMOS 전류-전압 특성 측정 회로 (a)  $I_D - V_{GS}$  (b)  $I_D - V_{DS}$

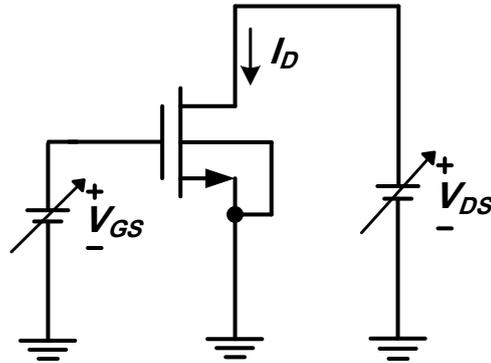


<그림 2.10> 등가 온-저항 및 출력저항 측정 방법

### 3. 예비실험

#### 3.1 MOSFET의 전류-전압 특성 측정

<그림 2.11>은 NMOS(CD4007) 전류-전압 특성을 측정하기 위한 회로이다.



<그림 2.11> NMOS 전류-전압 특성 측정 회로

- (1) PSpice를 이용하여 <그림 2.11>의 NMOS 전류-전압 특성 측정 회로를 구성하고, 드레인-소스 전압( $V_{DS}$ )을  $5V$ 로 고정하고 게이트-소스 전압( $V_{GS}$ )을  $0 \sim 5V$ 까지 DC sweep으로 변화시켜,  $I_D - V_{GS}$  그래프를 그리시오.
- (2) NMOS의 문턱전압( $V_{TH}$ )를 구하시오.
- (3)  $V_{GS}$ 를  $2V$ 로 고정하고  $V_{DS}$ 를  $0 \sim 5V$ 까지 DC sweep으로 변화시켜,  $I_D - V_{DS}$  그래프를 그리시오.
- (4) 트라이오드 영역에서의 등가 온-저항( $R_{on}$ )을 구하시오.
- (5) 포화영역에서의 출력저항( $r_o$ ), 채널길이 변조계수( $\lambda$ ), 공정 트랜스컨덕턴스 파라미터( $k_n$ )를 구하시오. ( $W_n/L_n = 170\mu m/10\mu m$ )
- (6) PMOS(CD4007)에 대해서 위 예비 실험 (1)~(5)번을 반복하시오. ( $W_p/L_p = 360\mu m/10\mu m$ )

#### 4. 실험

##### ■ 실험기기 및 부품

NMOS, PMOS                      CD4007(1개)

##### 4.1 NMOS 전류-전압 특성 측정

- (1) <그림 2.9>와 같이 NMOS(CD4007) 전류-전압 특성 측정 회로를 구성하고, 드레인-소스 전압( $V_{DS}$ )을 10V로 고정하고, 게이트-소스 전압( $V_{GS}$ )를 0 ~ 10V 까지 변화시킨다. 전류계를 사용하여 드레인 전류( $I_D$ )를 <표 2.3>에 기록하고  $I_D - V_{GS}$  그래프를 그리시오.
- (2) NMOS의 문턱전압( $V_{TH}$ )을 구하시오.
- (3) 게이트-소스 전압( $V_{GS}$ )을 5V로 고정하고, 드레인-소스 전압( $V_{DS}$ )을 0 ~ 10V까지 변화시킨다. 전류계를 사용하여 드레인 전류( $I_D$ )를 <표 2.4>에 기록하고  $I_D - V_{DS}$  그래프를 그리시오.
- (4) 트라이오드 영역에서의 등가 온-저항( $R_{on}$ )을 구하시오.
- (5) 포화 영역에서의 출력저항( $r_o$ ), 채널길이 변조계수( $\lambda$ ), 공정 트랜스컨덕턴스 파라미터( $k_n$ )를 구하시오. ( $W_n/L_n = 170\mu m/10\mu m$ )

<표 2.3>  $V_{GS}$ 에 따른  $I_D$  측정 데이터

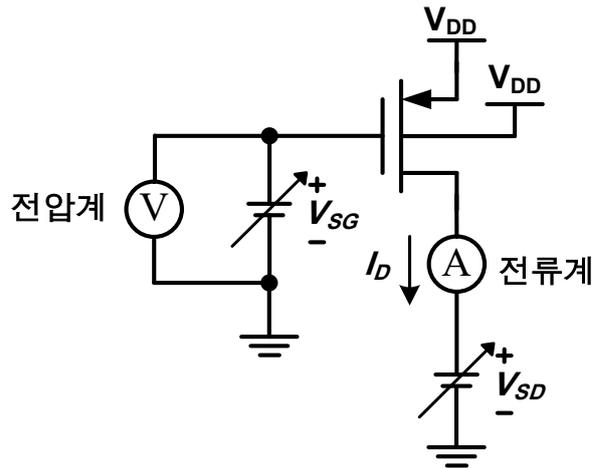
$V_{GS}$ [V]	$I_D$ [mA]	$V_{GS}$ [V]	$I_D$ [mA]	$V_{GS}$ [V]	$I_D$ [mA]
0.5		2.3		6	
1		2.5		7	
1.5		2.7		8	
1.7		3		9	
1.9		4		10	
2.1		5			

<표 2.4>  $V_{DS}$ 에 따른  $I_D$  측정 데이터

$V_{DS}$ [V]	$I_D$ [mA]	$V_{DS}$ [V]	$I_D$ [mA]	$V_{DS}$ [V]	$I_D$ [mA]
0		1.6		5	
0.2		1.8		6	
0.4		2		7	
0.6		2.5		8	
0.8		3		9	
1		3.5		10	
1.2		4			
1.4		4.5			

4.2 PMOS 전류-전압 특성 측정

- (1) <그림 2.12>와 같이 PMOS(CD4007) 전류-전압 특성 측정 회로를 구성하고, 소스-드레인 전압( $V_{SD}$ )을  $10V$ 로 고정하고, 소스-게이트( $V_{SG}$ )를  $0 \sim 10V$ 까지 변화시킨다. 전류계를 사용하여 드레인 전류( $I_D$ )를 <표 2.5>에 기록하고  $I_D - V_{SG}$  그래프를 그리시오.



<그림 2.12> PMOS 전류-전압 특성 측정 회로

- (2) PMOS의 문턱전압( $V_{TH}$ )을 구하시오.
- (3) 소스-게이트 전압( $V_{SG}$ )을  $5V$ 로 고정하고, 소스-드레인 전압( $V_{SD}$ )를  $0 \sim 10V$ 까지 변화시킨다. 전류계를 사용하여 드레인 전류( $I_D$ )를 <표 2.6>에 기록하고  $I_D - V_{SD}$  그래프를 그리시오.
- (4) 트라이오드 영역에서의 등가 온-저항( $R_{on}$ )을 구하시오.
- (5) 포화 영역에서의 출력저항( $r_o$ ), 채널길이 변조계수( $\lambda$ ), 공정 트랜스컨덕턴스 파라미터( $k_p$ )를 구하시오. ( $W_p/L_p = 360\mu m/10\mu m$ )

<표 2.5>  $V_{SG}$ 에 따른  $I_D$  측정 데이터

$V_{SG}$ [V]	$I_D$ [mA]	$V_{SG}$ [V]	$I_D$ [mA]	$V_{SG}$ [V]	$I_D$ [mA]
0		6		7.6	
1		6.2		7.8	
2		6.4		8	
3		6.6		8.5	
4		6.8		9	
4.5		7		9.5	
5		7.2		10	
5.5		7.4			

<표 2.6>  $V_{SD}$ 에 따른  $I_D$  측정 데이터

$V_{SD}$ [V]	$I_D$ [mA]	$V_{SD}$ [V]	$I_D$ [mA]	$V_{SD}$ [V]	$I_D$ [mA]
0		4.6		6.5	
1		4.9		7	
2		5.2		8	
3		5.5		9	
4		5.8		10	
4.3		6			